

Requested Patent: DE4108730A1

Title:

SEMICONDUCTOR DEVICE WITH SEA-OF-GATES ARRAY TRANSISTORS ON LINEAR ACTIVE REGION - HAS ACTIVE REGION TRANSISTORS CONNECTED VIA STOP TRANSISTOR GATE SO THAT STOP TRANSISTOR FAILURE INHIBITS OPERATION ;

Abstracted Patent: DE4108730 ;

Publication Date: 1992-09-24 ;

Inventor(s):

DENNER WERNER DIPL PHYS DR RER (DE); TROESTER GERHARD DIPL ING DR (DE); WEDEL ARMIN DIPL ING (DE); ZOCHER EDGAR DIPL ING DR (DE) ;

Applicant(s): TELEFUNKEN ELECTRONIC GMBH (DE) ;

Application Number: DE19914108730 19910318 ;

Priority Number(s): DE19914108730 19910318 ;

IPC Classification: H01L21/66; H01L23/52; H01L27/118 ;

Equivalents: ;

ABSTRACT:

The semiconductor device has a linear active region (1) across which a series of field effect transistors (T1 to T4) are fabricated. Stop transistors (T2) distributed along the row of transistors electrically isolate portions of the linear active region, dividing the transistor array into a number of separate sections. The transistors in the sections enclosed by the stop transistors are connected to the supply line (VDD) via an extension (6a) to the stop transistor gate line (5) so that if a failure occurs between the supply line and the stop transistor gate (G2), removing the stop transistors isolating capabilities, the transistors enclosed within the adjoining section will also have their power removed. Alternatively, the supply connection can be taken from the other side of the active region so that bridge defects will also result in power being removed from transistors in the enclosed section. ADVANTAGE - Improved circuit layout increases chances of detecting stop transistor failures and eases testing requirements.



① BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ **Off nlegungsschrift**
⑩ **DE 41 08 730 A 1**

⑤ Int. Cl.⁵:
H 01 L 27/118
H 01 L 23/52
H 01 L 21/66

⑳ Aktenzeichen: P 41 08 730.5
㉔ Anmeldetag: 18. 3. 91
㉕ Offenlegungstag: 24. 9. 92

DE 41 08 730 A 1

㉑ Anmelder:
Telefunken electronic GmbH, 7100 Heilbronn, DE

㉒ Erfinder:
Denner, Werner, Dipl.-Phys. Dr.rer.nat. Dr., 7103
Schwaigern, DE; Tröster, Gerhard, Dipl.-Ing. Dr.;
Wedel, Armin, Dipl.-Ing. (FH), 7100 Heilbronn, DE;
Zocher, Edgar, Dipl.-Ing. Dr., 7101 Oedheim, DE

㉓ Für die Beurteilung der Patentfähigkeit
in Betracht zu ziehende Druckschriften:
DE 38 27 143 A1
MASATOMI OKABE;
et.al.: A 400K-Transistor CMOS Sea-of-Gates Array
with Continuous Track Allocation. In: IEEE JOURNAL
OF SOLID-STATE, CIRCUITS, Vol.24, No.5,
Oct. 1989, S.1280-1285;
DUCHENE, Philippe;
DECLERCQ, Michel J.: A Highly Flexible
Sea-of-Gates Structure for Digital and Analog
Applications. In: IEEE JOURNAL OF SOLID-STATE
CIRCUITS, Vol.24, No.3, June 1989, S.576-584;

Prüfungsantrag gem. § 44 PatG ist gestellt

㉔ Halbleiteranordnung mit kontinuierlich angeordneten Aktiv-Gebieten

㉕ Die Erfindung betrifft eine Halbleiteranordnung mit kontinuierlich angeordneten Aktivgebieten zur Bildung von Source/Drain-Gebieten einer Mehrzahl von Transistorreihen bildenden MOS-Transistoren. Die Aktivgebiete sind durch Kanalbereiche mit darüber angeordneten Gate-Elektroden voneinander getrennt. Die MOS-Transistoren sind mittels einer oder mehrerer Metallisierungsebenen zu einer Vielzahl von Gattern verschaltet und die einzelnen Gatter sind mittels in den Transistorreihen angeordneter Stop-Gate-MOS-Transistoren voneinander elektrisch isoliert. Die Versorgungsspannung (VDD) bzw. das Massepotential (GND) für mindestens eines der beiden an einen Stop-Gate-MOS-Transistor angrenzenden Gatter wird über den Gate-Anschluß oder die Gate-Elektrode des Stop-Gate-MOS-Transistors geführt, so daß ein Herstellungsfehler des Stop-Gate-MOS-Transistors ein angrenzendes Gatter blockiert. Derartige Transistorreihen mit kontinuierlich angeordneten Aktivgebieten finden hauptsächlich Anwendung bei Gate-Arrays in CMOS- oder BICMOS-Technologie.

DE 41 08 730 A 1

Beschreibung

Die Erfindung betrifft eine Halbleiteranordnung mit kontinuierlich angeordneten Aktiv-Gebieten in CMOS- oder BICMOS-Technologie nach dem Oberbegriff von Anspruch 1.

Unter einem SOG-Array versteht man die regelmäßige, flächenhafte Anordnung von aus unverschalteten Bauelementen aufgebauten Basiszellen auf einem Halbleiterchip. Die Realisierung einer Schaltung mit einem SOG-Array erfolgt durch die Konfigurierung der Kontaktierung und Verdrahtung der einzelnen MOS-Transistoren in mehreren Metallisierungsebenen. Die Basiszellen enthalten unter anderem auch basiszellenübergreifende Transistorreihen, die aus einem streifenförmigen, kontinuierlichen Aktivgebiet bestehen (Fig. 4). Das Aktivgebiet ist durch Kanalzonen mit darüberliegendem Gate-Oxyd und Gate-Polysilizium in einzelne MOS-Transistoren unterteilt. Innerhalb dieser Transistorreihen besitzen benachbarte Transistoren jeweils ein gemeinsames Gebiet (Source-Drain) (Drain-Drain) (Source-Source), was einer Reihenschaltung von MOS-Transistoren entspricht. Im Gegensatz zu Gate-Arrays, in denen die Gatter durch Feldoxyd voneinander isoliert sind (Fig. 3), werden bei SOG-Arrays mit kontinuierlichen Aktivgebieten die Isolationen der Gatter erst durch die Verdrahtung vorgenommen. Müssen die Aktivgebiete benachbarte Gatter oder Zellen voneinander elektrisch isoliert werden, so geschieht dies durch einen gesperrten MOS-Transistor (Stop-Gate) zwischen diesen benachbarten Gattern. Bei P-MOS-Transistoren ist die Gate-Elektrode des Stop-Gate MOS-Transistors fest mit der Versorgungsspannung, bei N-MOS-Transistoren fest mit Masse verbunden. Die Position der Stop-Gates wird durch die Metallisierung festgelegt. Dadurch ist eine optimale Ausnutzung aller auf dem Array vorhandener Transistoren möglich. Diese verbesserte Flexibilität hat den Preis einer erhöhten Fehlerkomplexität, denn die statistisch auftretenden Herstellungsfehler treten mit der gleichen Wahrscheinlichkeit wie bei jedem anderen Transistor auch bei den Stop-Gates auf und können die Stop-Gates so in ihrer Funktionalität beeinträchtigen. Mit der Anzahl der als Stop-Gate verdrahteten MOS-Transistoren steigt auch die Wahrscheinlichkeit, daß Fehler in den Stop-Gate MOS-Transistoren auftreten.

Zu den häufigsten Herstellungsdefekten, die die Funktion der Stop-Gate MOS-Transistoren beeinträchtigen zählen Leitbahnunterbrechungen der Anschlußmetallisierung des Polysiliziumgates, fehlende Kontakte zwischen Leitbahnebenen oder zwischen Leitbahn und Polysilizium, und Unterbrechungen im Polysilizium der Gate-Elektroden. Die oben beschriebenen Defekte führen zu einer schwebenden Gate-Elektrode, Floating Gate, und insgesamt zu einem Widerstandsverhalten des als Stop-Gate geschalteten MOS-Transistors. Die durch den fehlerhaften Stop-Gate MOS-Transistor zu trennenden Gatter sind nicht vollständig elektrisch isoliert, sondern über den Widerstand des nicht vollständig sperrenden Stop-Gate MOS-Transistor verbunden. Der Widerstandswert wird bestimmt durch Kriechströme und kapazitives Übersprechen in der Schaltung, d. h. im allgemeinen durch das physikalische Layout. In der Schaltung wirkt sich dies in erster Linie durch vergrößerte Gatter- bzw. Pfadverzögerungen aus oder es kommt zu einer Verfälschung der End-Pegel am Gatterausgang.

Üblicherweise wird per Simulation überprüft, ob die verwendeten Testmuster in der Lage sind, alle zu be-

trachtenden Fehler aufzudecken. Dies ist für Fehler im Bereich der Stop-Gate MOS-Transistoren nicht möglich, da diese in der Logikbeschreibung einer im SOG-Array realisierten Schaltung auf Gatterebene nicht enthalten sind. Die Simulationstests operieren jedoch auf dieser Ebene. Stop-Gate MOS-Transistoren sind nur auf Schalterebene vernünftig beschreibbar. Auf dieser Ebene ist aber mit vernünftigem Aufwand weder eine Testmustererzeugung noch eine Fehlersimulation möglich.

Aufgabe der Erfindung ist es daher, eine Kontaktanordnung für Stop-Gates und nachfolgende Gatter in einem SOG-Array anzugeben, bei der Herstellungsfehler im Bereich des als Stop-Gate geschalteten Transistors durch auf Logikgatterebene erzeugte Testmuster erkannt werden.

Diese Aufgabe wird gelöst durch ein SOG-Array mit den kennzeichnenden Merkmalen des Anspruchs 1.

Vorteilhafte Ausgestaltungen der Erfindung ergeben sich aus den Unteransprüchen.

Abbildung 1 zeigt eine erste Ausführungsform der erfindungsgemäßen Kontaktierung des Stop-Gate MOS-Transistors. In einer kontinuierlichen p-aktiven Zone 1 sind die MOS-Transistoren T1 bis T4 angeordnet. Das Gate G2 des Transistors T2 ist als Stop-Gate verdrahtet, welches das Gatter T1 von dem aus den Transistoren T3 und T4 gebildeten Gatter elektrisch isoliert. Die elektrische Isolierung erfolgt bei Transistoren mit p-aktivem Gebiet durch ein Anlegen der Gate-elektrode an Versorgungsspannung. Dadurch sperrt der Transistor und trennt die beiderseits liegenden Gatter elektrisch voneinander. Bei Transistoren mit n-aktivem Gebiet wird das Stop-Gate analog mit Masse verbunden.

Erfindungsgemäß erfolgt die Energieversorgung des Gatters bestehend aus den Transistoren T3 und T4 durch die Leitbahn 6, die die aktive Zone 1 des Transistors T3 mit der Gateanschlußleitbahn 5 des Stop-Gates G2 verbindet. Fehler in der Metallisierung der Leitbahn 5, wie z. B. eine Leitbahnunterbrechung oder ein Kontaktfehler der Verbindung von der Versorgungsmetallisierung VDD zur Stop-Gate-Anschlußleitbahn 5 führen nun dazu, daß das Gatter aus Transistoren T3 und T4 ohne Versorgungsspannung bleibt und am Ausgang des Gatters 5 nie der Pegel der Versorgungsspannung erreicht wird. Das Gatter ist folglich blockiert.

Abbildung 2 zeigt eine Weiterführung der Erfindung, die darin besteht, daß die Versorgungsmetallisierung 3 des nachfolgenden Gatters die Gateelektrode G2 des Stop-Gate-Transistors T2 auf der Seite der Gate-Elektrode kontaktiert, die nicht mit der Gateanschlußleitbahn 5 verbunden ist. Das Potential wird über die Gate-Elektrode des Stop-Gates an das angrenzende Gatter herangeführt. In dieser bevorzugten Ausführungsform bleibt das nachfolgende Gatter T3, T4 ohne Versorgungsspannung sobald das Stop-Gate fehlerhaft arbeitet. So führt z. B. auch ein Brückendefekt der Gate-Elektrode des Stop-Gate MOS-Transistors dazu, daß das angrenzende Gatter nicht an das Versorgungspotential angeschlossen ist. Wie oben beschrieben, ist auch in diesem Fall das Gatter blockiert. Diese Fehler im Gatter lassen sich durch auf herkömmliche Weise erzeugte Testmuster erfassen.

Abbildung 5a) – 5c) zeigen einen Ausschnitt aus einer Registerzelle bestehend aus einem NAND-Gatter 2, einem Inverter 3 sowie einem Transmission-Gate 4 in einem SOG-Array realisiert.

Abbildung 5a zeigt die Logikdarstellung auf Gatterebene für diesen Ausschnitt. Ein erstes Eingangssignal

IN wird dem Transmission-Gate 4 zugeführt und gelangt in Abhängigkeit vom Signal CL1 bzw. NCL1 weiter zum ersten Eingang des NAND-Gatters 2. Im NAND-Gatter 2 wird das erste Eingangssignal I in mit dem dem zweiten Eingang des NAND-Gatters 2 zugeführten zweiten Eingangssignal NR verknüpft. Das Ergebnis dieser Verknüpfung wird dem Eingang des Inverters 3 zugeführt.

Die Abbildungen 5b und 5c zeigen die Transistoranordnungen wie sie auf dem kontinuierlichen Aktivgebiet ausgeführt sind. Transmissiongate 4, NAND-Gatter 2 sowie Inverter 3 sind durch die Stop-Gates SG1 bis SG4 separiert.

Fig. 5b zeigt die Kontaktanordnung nach dem Stand der Technik, Fig. 5c zeigt die Verdrahtung der Transistoren nach der Erfindung. Bei der Stop-Gate-Kontaktierung nach dem Stand der Technik bewirkt ein floatendes Stop-Gate SG1, daß sich das Eingangssignal IN resistiv direkt auf den Ausgang des NAND-Gatters 2 auswirkt. Im fehlerfreien Fall sollte der Ausgang des NAND-Gatters 2 einen Low-Pegel besitzen, wenn die Eingangssignale IN CL1 und NR einen High-Pegel aufweisen. Durch die resistive Einkopplung des IN-Signals werden, abhängig von der Ohmigkeit des Stop-Gates sowohl die Flankensteilheiten als auch die Ausgangsspiegel am NAND-Ausgang beeinträchtigt. Ein Brückenfehler, d. h. Aktivgebiete sind über die sie trennende Gate-Elektrode miteinander verbunden, führt in diesem Fall zu einem undefinierten Mittelpegel am NAND-Ausgang. In analoger Weise resultieren Defekte auf dem Stop-Gates SG2 bis SG4 in einer direkten Beeinflussung der Inverterausgangsflanken bzw. des Inverterausgangspegels durch das am NAND-Ausgang anstehende Signal.

Ein anderes Verhalten zeigen Defekte an den Stop-Gates SG1 bis SG4 in der erfindungsgemäßen Realisierung nach Fig. 5c. Erfindungsgemäß ist hier den Logikgattern der Masse bzw. Versorgungsspannungsanschluß über die Gate-Elektrode des elektrisch isolierenden Stop-Gate MOS-Transistors zugeführt. In Abbildung 5c ist dies durch den rechtwinkligen Anschluß angedeutet, der vom Gate-Anschluß des Stop-Gate MOS-Transistors zum Anschluß des aktiven Source/Drain-Gebietes des nachfolgenden Transistors führt. Diese schematische Darstellung schließt nicht nur die Anschlußvariante von Abbildung 1 sondern auch die Anschlußarten nach Abbildung 2 ein, bei der das aktive Gebiet des angrenzenden Transistors über die Gate-Elektrode des Stop-Gate MOS-Transistors mit der Versorgungsspannung bzw. dem Massepotential verbunden ist. Bei dieser Ausführungsform der Erfindung führen Defekte, die zu einem floatenden Stop-Gate führen würden, gleichzeitig zu einem fehlenden Masse bzw. Versorgungsspannungsanschluß im angrenzenden Gatter. Das wiederum bewirkt einen mit den herkömmlichen Testmethoden erkennbaren Stuck-At-Fehler des Gatter-Ausgangs. Fehlendes Polysilizium an der Gate-Elektrode des Stop-Gate MOS-Transistors SG2 resultiert in einem Stuck-At-Fehler am Signal In, das durch den Polysiliziumdefekt direkt mit Masse verbunden ist.

Bei dem nach der Erfindung ausgeführten Anschluß des Stop-Gates und des angrenzenden Gatters führen alle Herstellungsdefekte, die zu einem Stop-Gate-Defekt führen würden, zu einem leicht testbaren Stuck-At-Fehler im angrenzenden Gatter. Stuck-At-Fehler werden bei der üblichen Testmustererzeugung hinreichend betrachtet, so daß alle Stuck-At-Fehler mit den gebräuchlichen Tests gefunden werden. Durch die erfin-

dungsgemäße Anschlußanordnung des Stop-Gate MOS-Transistors und der angrenzenden Gatter wirken sich Fehler im Bereich des Stop-Gate MOS-Transistors auf die angrenzenden Gatter aus und bewirken dort leicht testbare Stuck-At-Fehler. Dadurch können aufwendige Fehlersimulationen auf Schalterebene entfallen.

Kann diese Kontaktierungsanordnung aus technischen Gründen an der einen oder anderen Stelle nicht angewendet werden, so bietet sich beim Sea of Gate Array in der Regel die Möglichkeit, wie in Fig. 6 gezeigt, zwei benachbarte MOS-Transistoren T6, T7 innerhalb einer Transistorreihe T5 – T8 als Stop-Gate MOS-Transistoren G7, G8 zu verwenden, da normalerweise die vorhandenen Transistoren nur zu ca. 70 bis 80% für die Realisierung der Logik verwendet werden. Das führt zunächst nicht zu einer verbesserten Testbarkeit der Logikschaltung sondern zu einer Minimierung der Ausfallwahrscheinlichkeit der elektrischen Isolation zwischen zwei Gattern aufgrund von Fehlern im Bereich der Stop-Gate MOS-Transistoren.

Wird das Aktivgebiet zwischen den Stop-Gates G7, G8 durch eine reservierte Metallisierung TEST 8 angeschlossen, so daß das Aktivgebiet gezielt auf Versorgungsspannung bzw. Massepotential getrieben werden kann, so wird ein resistives Verhalten einer der beiden Stop-Gate MOS-Transistoren T6, T7 auch mit den konventionell generierten Testmustern erkannt. Eine weitere Verbesserung wird durch das Einspeisen einer definierten Null-Eins-Folge als Testsignal während der Testphase in das Aktivgebiet zwischen den beiden Stop-Gates erreicht.

Patentansprüche

1. Halbleiteranordnung mit kontinuierlich angeordneten Aktiv-Gebieten (1) zur Bildung von Source/Drain Gebieten einer Mehrzahl von Transistorreihen bildenden MOS-Transistoren (T1 – T4), wobei die Aktivgebiete (1) durch Kanalbereiche mit darüber angeordneten Gate-Elektroden (G1 – G4) voneinander getrennt sind, die MOS-Transistoren (T1 – T4) mittels einer oder mehrerer Metallisierungsebenen zu einer Vielzahl von Gattern (2, 3, 4) verschaltet sind, und die einzelnen Gatter mittels in den Transistorreihen angeordneten Stop-Gate MOS-Transistoren (T2, SG1 – SG4) voneinander elektrisch isoliert sind, dadurch gekennzeichnet, daß die Versorgungsspannung (VDD) bzw. das Massepotential (GND) für mindestens eines der beiden an einen Stop-Gate MOS-Transistor angrenzenden Gatter über einen Gate-Anschluß (5) oder die Gate-Elektrode (G2) des Stop-Gate MOS-Transistors (T2) geführt wird, so daß ein Herstellungsfehler des Stop-Gate MOS-Transistors ein angrenzendes Gatter blockiert.

2. Halbleiteranordnung nach Anspruch 1, dadurch gekennzeichnet, daß eine Metallisierungsbahn für die Versorgungsspannung (VDD) bzw. Massepotential (GND) vorgesehen ist, die parallel zu den kontinuierlich angeordneten Aktivgebieten (1) verläuft und daß die Gate-Elektrode (G2) des Stop-Gate MOS-Transistor (T2) mit ihrem der Metallisierungsbahn zugewandtem Ende über eine Leitbahn (5) mit der Metallisierungsbahn verbunden ist.

3. Halbleiteranordnung nach Anspruch 2, dadurch gekennzeichnet, daß das Aktivgebiet (1) eines an den Stop-Gate MOS-Transistor (T2) angrenzenden

Gatters über eine weitere Leitbahn (6a) mit der Gate-Elektrode (G2) des Stop-Gate MOS-Transistors (T2) an deren Anschlußstelle zur Metallisierungsbahn angeschlossen ist.

4. Halbleiteranordnung nach Anspruch 2, dadurch gekennzeichnet, daß das Aktivgebiet (1) eines an den Stop-Gate MOS-Transistor (T2) angrenzenden Gatters über eine weitere Leitbahn (6b) mit der Gate-Elektrode (G2) des Stop-Gate MOS-Transistors (T2) an deren der Metallisierungsbahn abgewandten Ende angeschlossen ist.

5. Verwendung der Halbleiteranordnung nach einem der vorangegangenen Ansprüche in einem SOG-Array.

6. Verwendung der Anschlußart der Gate-Elektroden der Stop-Gate MOS-Transistoren am Aktivgebiet (1) angrenzender Gatter nach einem der vorangegangenen Ansprüche, für alle im SOG-Array enthaltenen Gatter.

7. Halbleiteranordnung mit kontinuierlich angeordneten Aktiv-Gebieten (1) zur Bildung von Source/Drain Gebieten einer Mehrzahl von Transistorreihen bildenden MOS-Transistoren (T5 – T8), wobei die Aktivgebiete (1) durch Kanalbereiche mit darüber angeordneten Gate-Elektroden (G5 – G8) voneinander getrennt sind, die MOS-Transistoren (T5 – T8) mittels einer oder mehrerer Metallisierungsebenen zu einer Vielzahl von Gattern verschaltet sind, und die einzelnen Gatter mittels in den Transistorreihen angeordneten Stop-Gate MOS-Transistoren (T6, T7) voneinander elektrisch isoliert sind, dadurch gekennzeichnet, daß zwei benachbarte MOS-Transistoren innerhalb einer Transistorreihe mit in Reihe geschalteten Kanälen als Stop-Gate MOS-Transistoren (T6 – T7) verwendet werden.

8. Halbleiteranordnung nach Anspruch 7, dadurch gekennzeichnet, daß eine Testleitung (TEST) vorgesehen ist, die parallel zu den Transistorreihen verläuft, und dem mit Aktivgebiet zwischen zwei direkt benachbarten Stop-Gate MOS-Transistoren verbunden ist (8), so daß in das aktive Gebiet zwischen den zwei direkt benachbarten Stop-Gate MOS-Transistoren (T6, T7) während der Testphase ein Testsignal eingespeist werden kann.

9. Verwendung der Halbleiteranordnung nach Anspruch 7 oder 8 in einem SOG-Array.

Hierzu 4 Seite(n) Zeichnungen

50

55

60

65

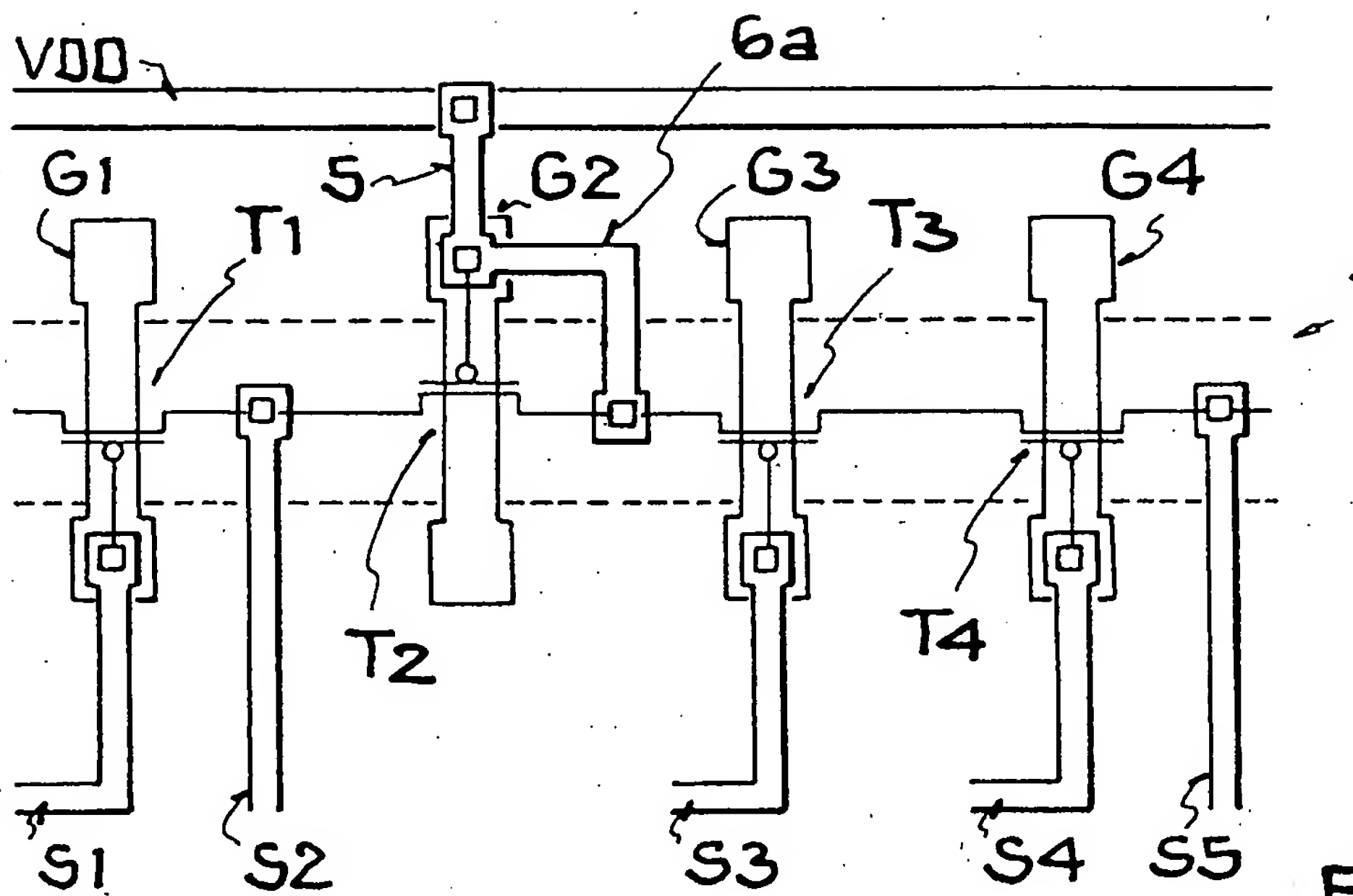


FIG.1

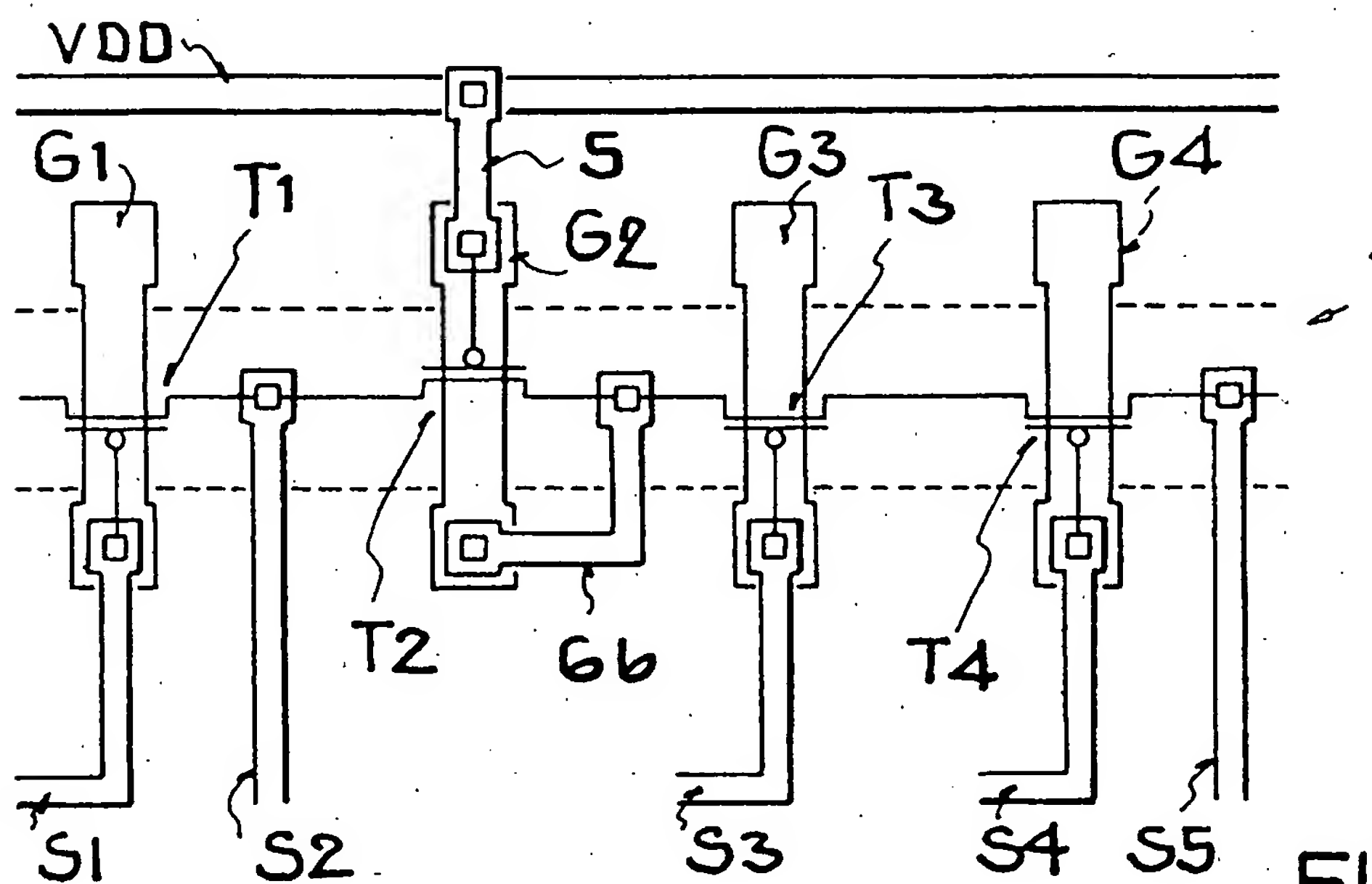
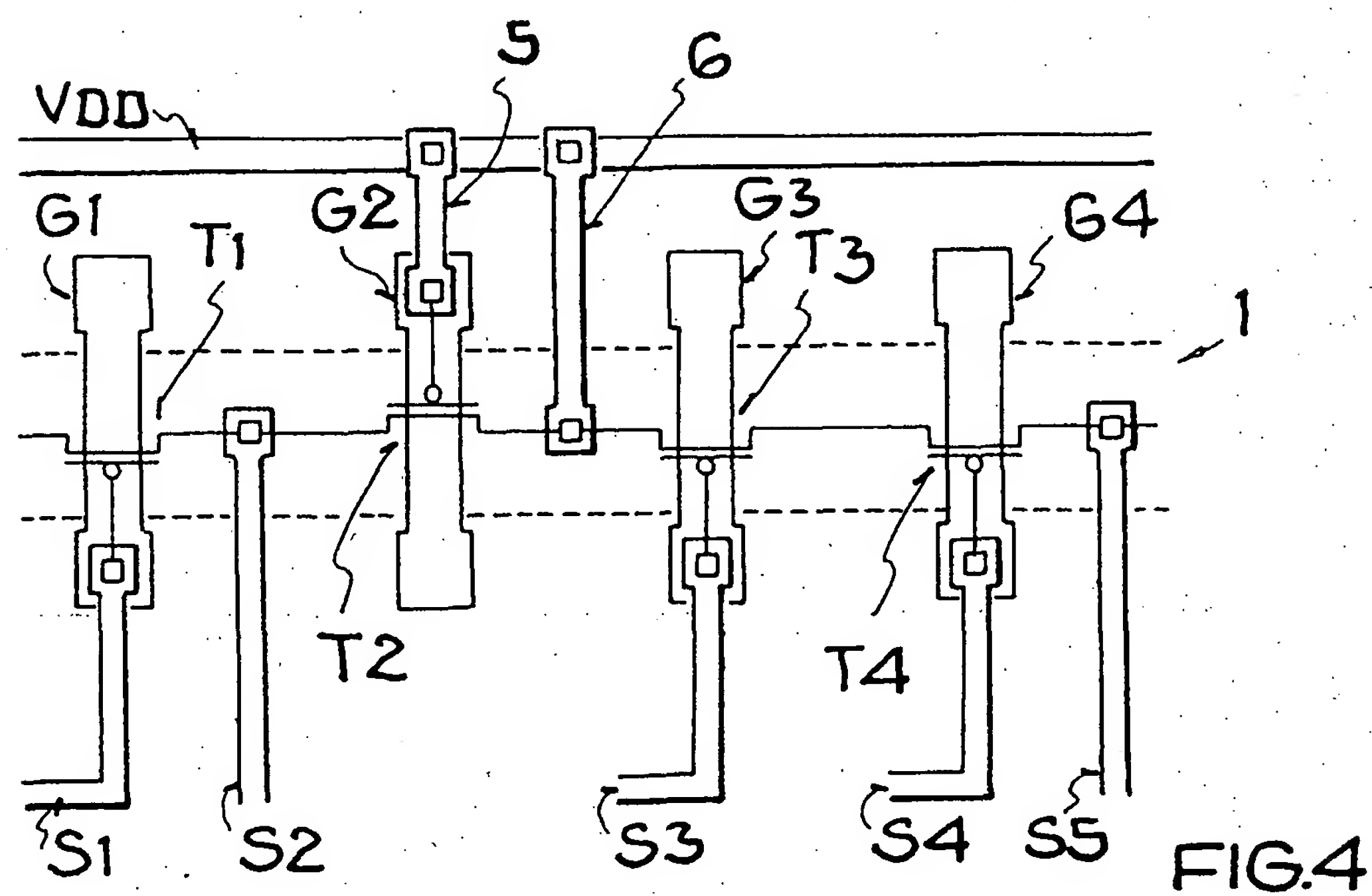
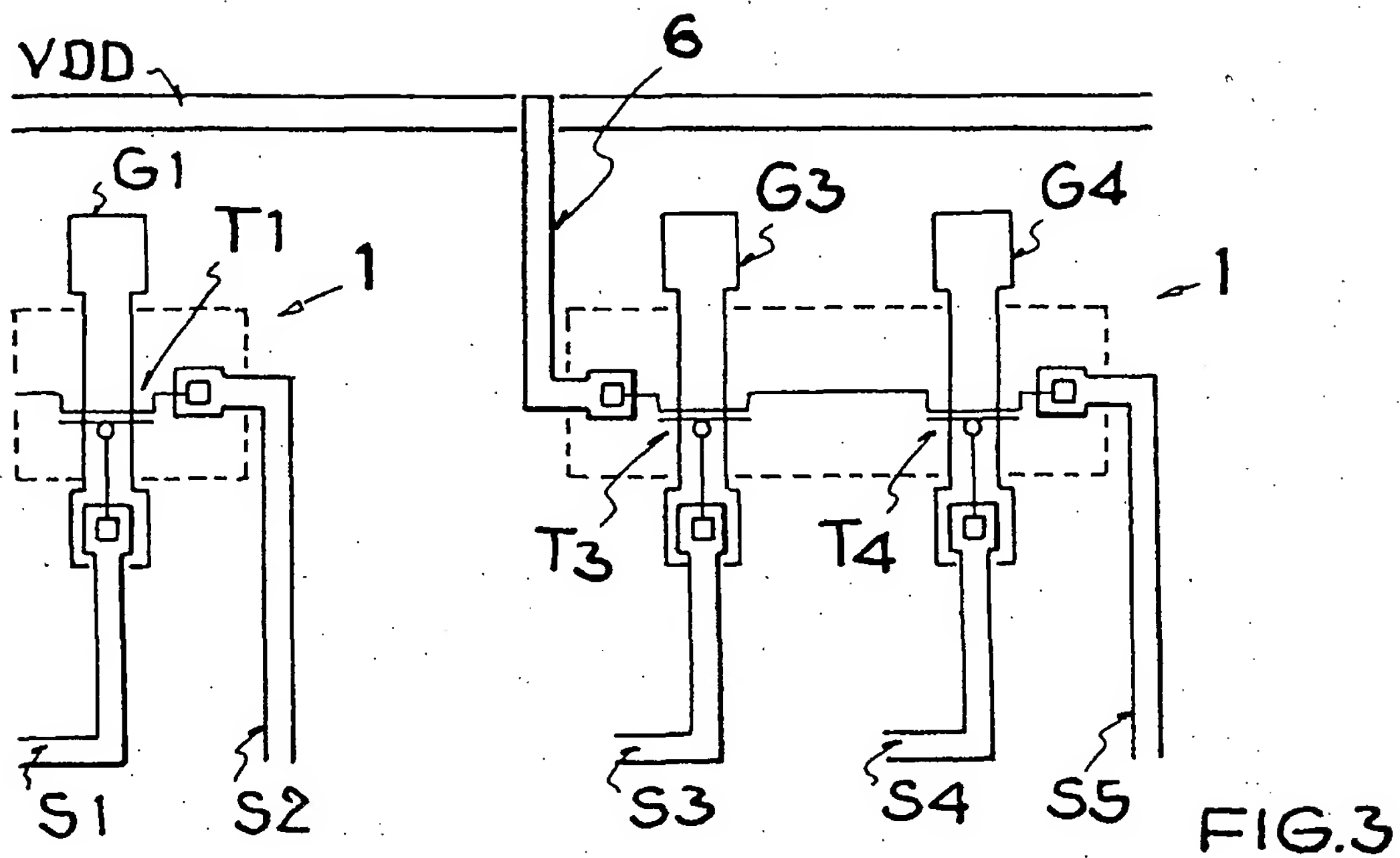


FIG.2



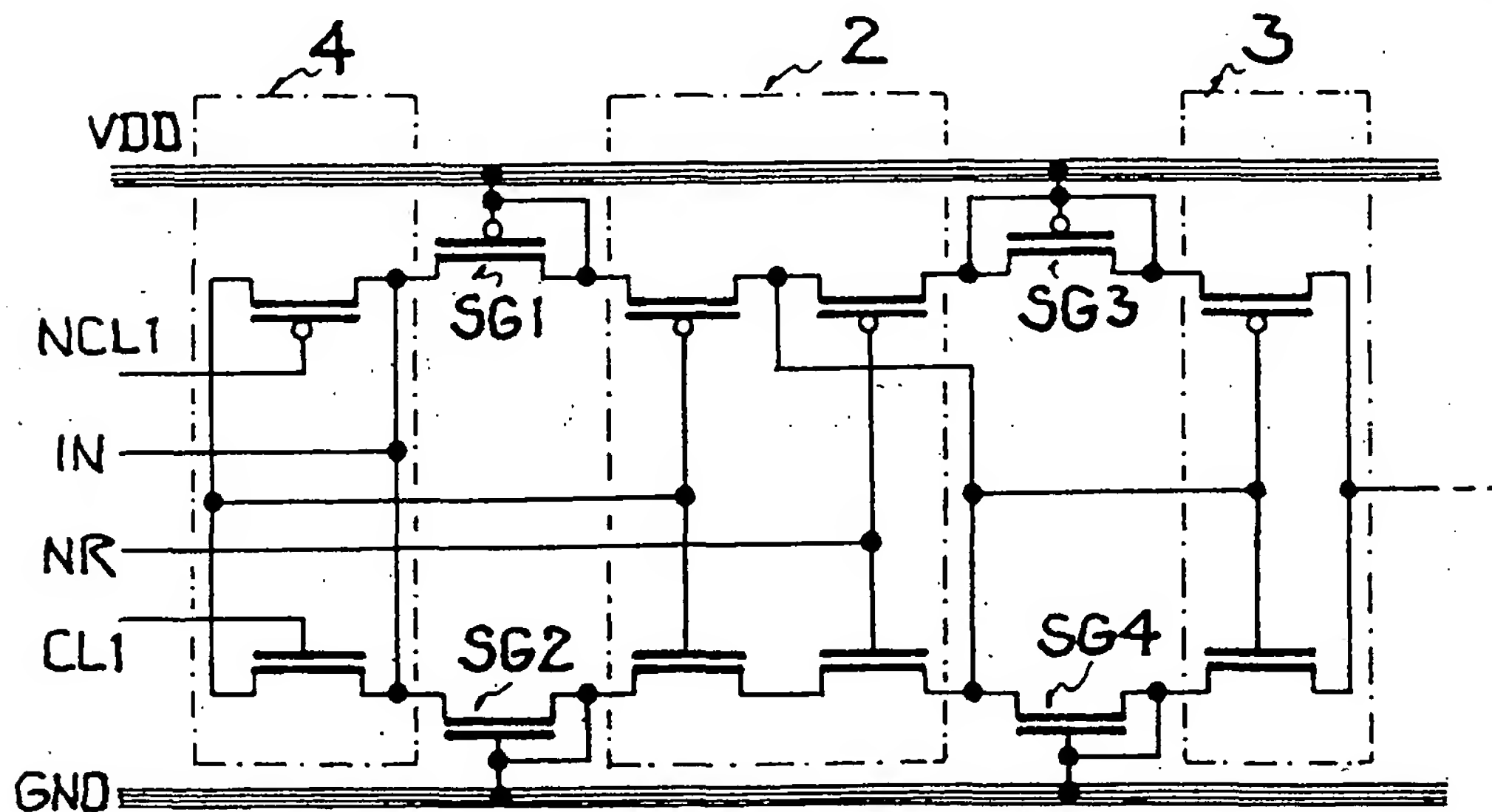
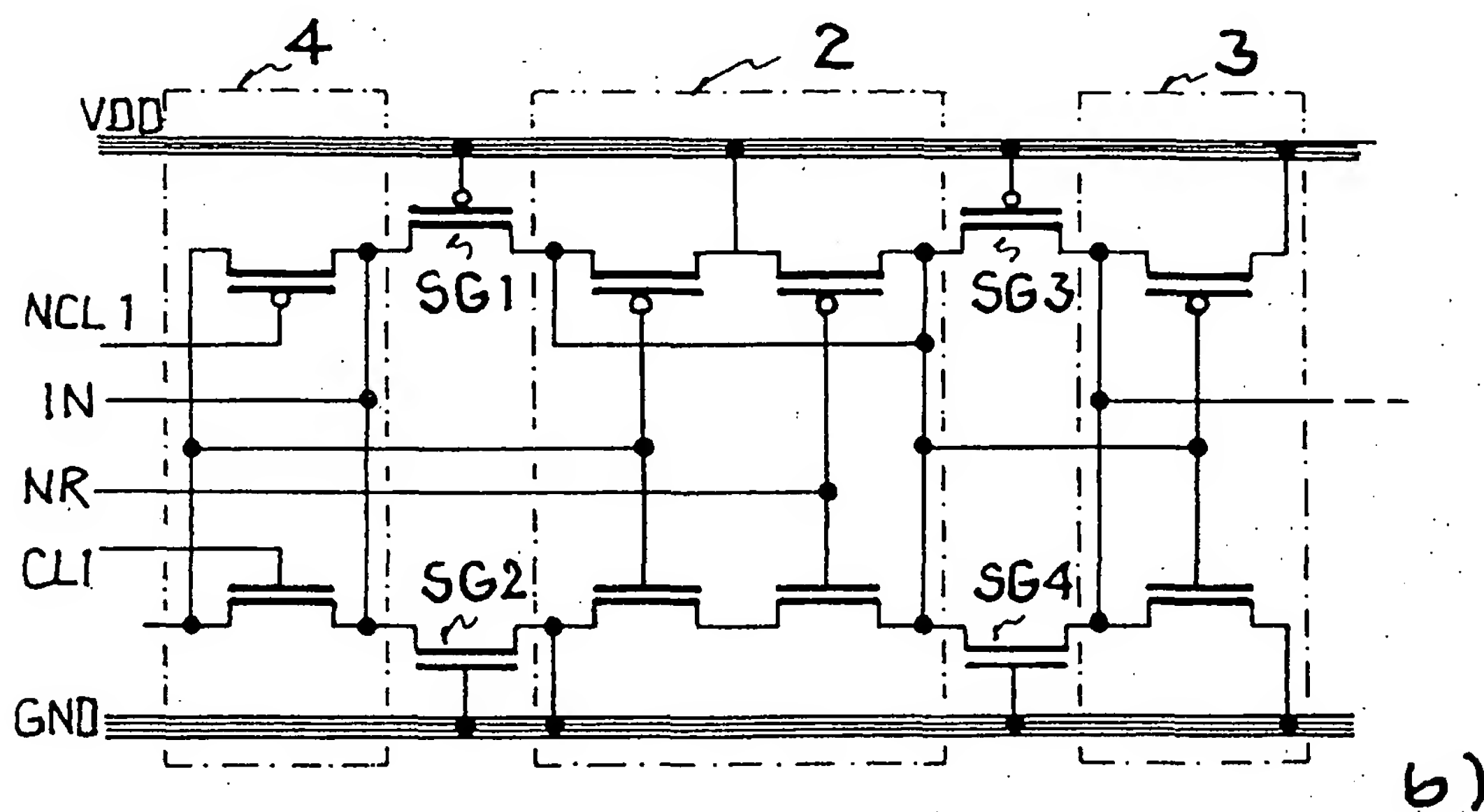
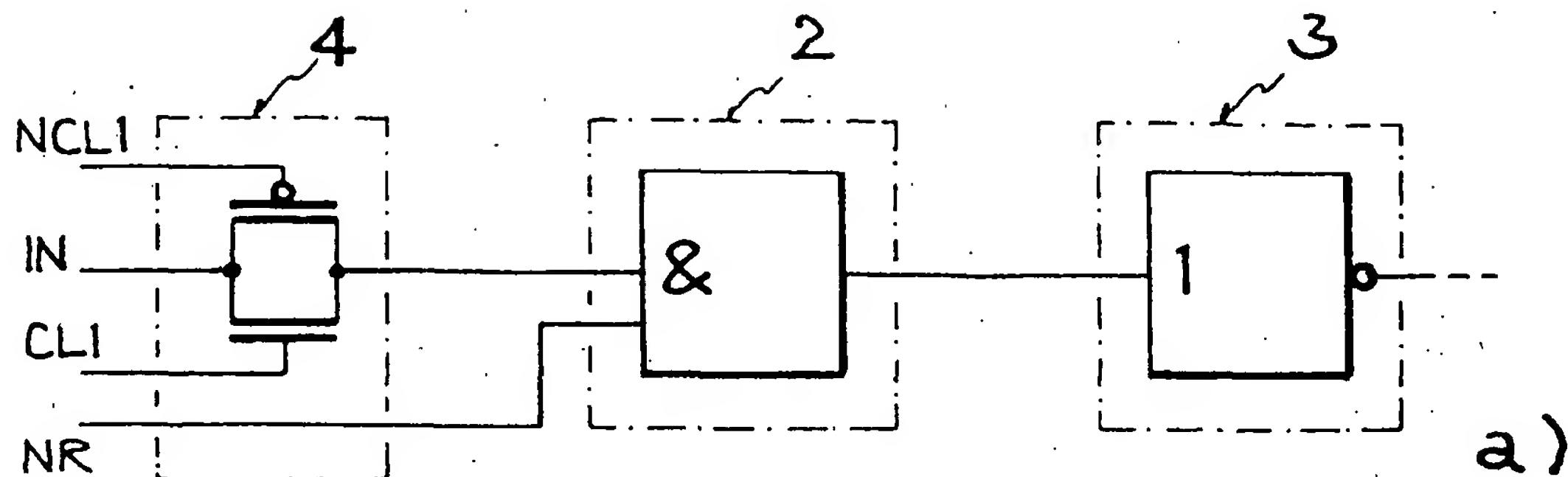


FIG.5 c)

